

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



DIALOG(R)File 351:Derwent WPI  
(c) 2004 Thomson Derwent. All rts. reserv.

010554591 \*\*Image available\*\*

WPI Acc No: 1996-051544/199606

XRPX Acc No: N96-043185

**Colour fluorescent screen structure for field emission display - includes two separate sets of stripe electrodes, with one set having different colour fluorescent materials selectively electrodeposited, and with second set not coated with fluorescent material**

Patent Assignee: SONY CORP (SONY )

Inventor: KIYOMIYA T; NAKADA S; NEGISHI E; OHOSHI T; OKITA M

Number of Countries: 005 Number of Patents: 009

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 690467	A1	19960103	EP 95110094	A	19950628	199606 B
JP 8017366	A	19960119	JP 94173706	A	19940701	199613
JP 8096703	A	19960412	JP 94259124	A	19940928	199625
US 5939823	A	19990817	US 95497422	A	19950630	199939
EP 690467	B1	19991110	EP 95110094	A	19950628	199952
US 5989404	A	19991123	US 95497422	A	19950630	200002
			US 97958299	A	19971027	
DE 69513235	E	19991216	DE 613235	A	19950628	200005
			EP 95110094	A	19950628	
JP 3297856	B2	20020702	JP 94173706	A	19940701	200246
JP 3409468	B2	20030526	JP 94259124	A	19940928	200335

Priority Applications (No Type Date): JP 94259124 A 19940928; JP 94173706 A 19940701

Cited Patents: 02Jnl.Ref; EP 635865; JP 7057631; JP 53118363

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
EP 690467	A1	E	37	H01J-029/18	
Designated States (Regional): DE FR GB					
JP 8017366	A		12	H01J-031/12	
JP 8096703	A		14	H01J-001/30	
US 5939823	A			H01J-001/62	
EP 690467	B1	E		H01J-029/18	
Designated States (Regional): DE FR GB					
US 5989404	A			H01J-009/22	Div ex application US 95497422
DE 69513235	E			H01J-029/18	Based on patent EP 690467
JP 3297856	B2		12	H01J-031/12	Previous Publ. patent JP 8017366
JP 3409468	B2		14	H01J-001/304	Previous Publ. patent JP 8096703

Abstract (Basic): EP 690467 A

The fluorescent screen includes two sets of electrodes. There are several fluorescent materials electrodeposited on one set of electrodes, and the second electrode set does not have deposited fluorescent material. The two sets of electrodes are alternated on a common base pref. the glass substrate in a fluorescent colour panel. The fluorescent materials may be different colours, with a single colour material on each individual electrode in the first set of electrodes which are pref. stripe electrodes. The second set of electrodes are stripe reverse bias electrodes.

Pref. the first set of electrodes are transparent electrodes, with selectively coated red, green and blue colours. The second set of electrodes may be either electrodes integral with vacuum support

pillars between groups of colour fluorescent materials, or electrodes within groups of fluorescent materials e.g. for field strength line control.

USE/ADVANTAGE - Internal display support pillars do not obstruct screen. Uniform fluorescent screen; fluorescent material deposited without subsequently impairing vacuum within display; allows narrow stripe patterns.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-96703

(43) 公開日 平成8年(1996)4月12日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 J	1/30	Z		
		C		
	9/02	B		

審査請求 未請求 請求項の数16 F D (全 14 頁)

(21) 出願番号 特願平6-259124

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(22) 出願日 平成6年(1994)9月28日

(72) 発明者 根岸 英輔

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 中田 諭

東京都品川区北品川6丁目7番35号 ソニー株式会社内

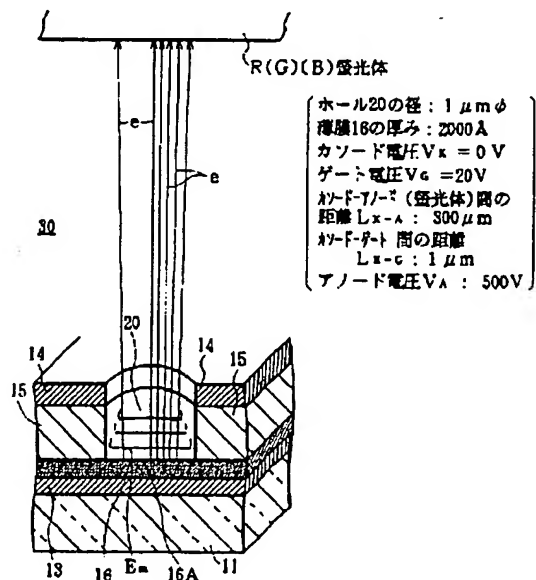
(74) 代理人 弁理士 逢坂 宏

(54) 【発明の名称】 粒子放出装置、電界放出型装置及びこれらの製造方法

(57) 【要約】 (修正有)

【構成】 部分的に重なり合うように第1の電極13と第2の電極14とを絶縁層15を介し対向して設け、第2の電極、絶縁層を貫通する微小孔20を形成し、第1、第2の電極間に電圧を印加することによって電子を第1の電極側から微小孔を通して放出するように構成した電子放出装置又はこれを組み込んだ電界放出型装置において、第1の電極の構成材料よりも仕事関数が小さい電子放出物質からなる薄膜16を、第1の電極と接した状態で、第1、第2の電極と重なり合う領域のほぼ全域に亘って設け、微小孔内に部分的に露出するように設ける。

【効果】 電子放出能力とその方向性を良好とし、低電圧駆動を可能にして放出される電流量の均質化を図り、しかも、高信頼性、長寿命であり、高精細、大型の極薄型ディスプレイ装置にも十分対応可能であり、製造が容易な装置を提供できる。



1

## 【特許請求の範囲】

【請求項1】 互いに部分的に重なり合うように第1の電極と第2の電極とが絶縁層を介し互いに対向して設けられ、前記第2の電極及び前記絶縁層をそれぞれ貫通する微小孔が形成され、前記第1の電極と前記第2の電極との間に電圧を印加することによって所定の粒子が前記微小孔を通して放出されるように構成されている粒子放出装置において、前記第1の電極の構成材料よりも仕事関数が小さい粒子放出物質からなる薄膜が、少なくとも、前記第1及び第2の電極の重なり合う領域のほぼ全域に亘って設けられかつ前記微小孔内に部分的に露出するように設けられていることを特徴とする粒子放出装置。

【請求項2】 少なくとも、第1及び第2の電極の重なり合う領域において、粒子放出物質からなる薄膜が第1の電極を被覆している、請求項1に記載した粒子放出装置。

【請求項3】 粒子放出物質からなる薄膜が第1の電極と絶縁層との間に設けられている、請求項2に記載した粒子放出装置。

【請求項4】 少なくとも、第1及び第2の電極の重なり合う領域であって微小孔の存在しない領域において前記第1の電極が設けられている、請求項1～3のいずれか1項に記載した粒子放出装置。

【請求項5】 第1の電極が格子状パターンに形成されている、請求項4に記載した粒子放出装置。

【請求項6】 第1の電極が粒子放出物質からなる薄膜と絶縁層との間に設けられている、請求項5に記載した粒子放出装置。

【請求項7】 互いに交差するカソード電極ラインとゲート電極ラインとが絶縁層を介して基体上に積層され、前記ゲート電極ライン及び前記絶縁層をそれぞれ貫通する微小孔が形成されていると共に、前記カソード電極ラインの構成材料よりも仕事関数が小さい電子放出物質からなる薄膜状の冷陰極が、前記カソード電極ラインと接した状態で、少なくとも、前記カソード電極ラインと前記ゲート電極ラインとの交差領域のほぼ全域に亘って設けられ、電子放出源として構成された、請求項1～6のいずれか1項に記載した粒子放出装置。

【請求項8】 粒子放出物質からなる薄膜が、絶縁層の2分の1以下の厚みに設けられている、請求項1～7のいずれか1項に記載した粒子放出装置。

【請求項9】 粒子放出物質の仕事関数が3.0eV以下である、請求項1～8のいずれか1項に記載した粒子放出装置。

【請求項10】 粒子放出物質がダイヤモンドである、請求項9に記載した粒子放出装置。

【請求項11】 微小孔がほぼ円形である、請求項1～10のいずれか1項に記載した粒子放出装置。

【請求項12】 微小孔がスリット状である、請求項1～

2

10のいずれか1項に記載した粒子放出装置。

【請求項13】 請求項1～12のいずれか1項に記載した粒子放出装置を具備する電界放出型装置。

【請求項14】 カソード電極ライン、ゲート電極ライン、微小孔付きの絶縁層及び薄膜状の冷陰極からなる第1のパネルと、複数色の発光体及びこれらの発光体がそれぞれ被着された電極からなる第2のパネルとによって電界放出型発光装置として構成された、請求項13に記載した電界放出型装置。

10 【請求項15】 発光体が蛍光体である電界放出型ディスプレイ装置として構成された、請求項14に記載した電界放出型装置。

【請求項16】 基体上に第1の電極を形成する工程と、前記基体上に粒子放出物質からなる薄膜を形成する工程と、前記第1の電極及び前記薄膜を含む領域上に絶縁層を形成する工程と、この絶縁層上に第2の電極を形成する工程と、この第2の電極及び前記絶縁層をそれぞれ貫通する微小孔を形成する工程とを有する、請求項1～15のいずれか1項に記載した装置の製造方法。

20 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、粒子放出装置（例えば、極薄型のディスプレイ装置に使用して好適な電子放出源）、電界放出型装置（例えば、前記電子放出源を有するディスプレイ装置）及びこれらの製造方法に関するものである。

【0002】

【従来の技術】 従来、例えば極薄型のディスプレイ装置としては、電界放出型カソードを電子放出源とする電界放出型ディスプレイ（FED: Field Emission Display）が知られている。

【0003】 公知のFEDでは、スクリーン内部に電子放出源を設け、その各画素領域内に電子放出材料からなる多数のマイクロチップを形成し、所定の電気信号に応じて対応する画素領域のマイクロチップを励起することにより、スクリーンの蛍光面を発光させている。

【0004】 上記の電子放出源においては、帯状に形成された複数本のカソード電極ラインと、このカソード電極ラインの上部においてカソード電極ラインと交差して帯状に形成された複数本のゲート電極ラインとが設けられ、上記カソード電極ラインの上部ゲート電極ラインとの各交差領域がそれぞれ1画素領域として形成されている。

【0005】 従来の電子放出源によれば、具体的には図15～図17に示すように、例えばガラス材からなる下部基板101の表面上に帯状の複数本のカソード電極ライン103が形成されている。

【0006】 これらのカソード電極ライン103には各接続部103aを除いて絶縁層105が成膜され、この上に各カソード電極ライン103と交差して帯状に複数本のゲ

ト電極ライン104 が形成されていて、各カソード電極ライン103 と共にマトリクス構造を構成している。

【0007】さらに、各カソード電極ライン103 の接続端部 103a 及び各ゲート電極ライン104 の接続端部 104a が制御手段107 にそれぞれ接続され、電氣的に導通している。

【0008】ここで、各カソード電極ライン103 の各ゲート電極ライン104 との各交差領域122 において、絶縁層105 には、カソード電極ライン103 からゲート電極ライン104 へ通じる孔径wの多数の円形の微細(小)孔120 がカソードホールとして形成され、これらの各孔内に電界放出型カソードとしてのマイクロチップ106 が数 $\mu$ m以下の微小サイズに設けられている。

【0009】これらの各マイクロチップ106 は、電子放出材料、例えばモリブデンからなっていて、ほぼ円錐体に形成され、それぞれカソード電極ライン103 上に配されている。そして、各マイクロチップ106 の円錐体の先端部は、ゲート電極ライン104 に形成されている電子通過用のゲート部 104b にほぼ位置している。

【0010】このように、各カソード電極ライン103 の各ゲート電極ライン104 との各交差領域122 には、多数のマイクロチップ106 が設けられて画素領域が形成され、個々の画素領域が1つの画素(ピクセル)に対応している。

【0011】上記のように構成された電子放出源(電界放出型カソード)においては、制御手段107 により所定のカソード電極ライン103 及びゲート電極ライン104 を選択し、これらの間に所定の電圧を印加することによって、この印加電圧を対応する画素領域内の各マイクロチップ106 に印加すると、各マイクロチップ106 の先端からトンネル効果によって電子が放出される。なお、この所定の印加電圧値は、各マイクロチップ106 がモリブデンからなっている場合、各マイクロチップ106 の円錐体の先端部付近の電界の強さが $10^4 \sim 10^5$  V/mとなる程度のものである。

【0012】このとき、この電子放出源が内蔵されたディスプレイ装置(FED)においては、所定の画素領域を励起することによって各マイクロチップ106 から放出された電子が、制御手段107 によりカソード電極ライン103 とアノード(蛍光面パネルの透明電極)との間に印加された電圧によって更に加速され、ゲート電極ライン104 とアノードとの間に形成された真空部を通して蛍光面に到達する。そして、この電子線により蛍光面から可視光が放出される。

【0013】ここで、図15においてこのディスプレイ装置の構成を説明すると、例えばR(赤)、G(緑)、B(青)の三原色の各蛍光体素子がITO(Indium Tin Oxide: In及びSnの混合酸化物)等からなる透明電極100R、100G、100Bを介してストライプ状に配列されてカラー蛍光面123 が形成された光透過性の蛍光面パ

ネル114 と、電界放出型カソードを有する電極構体115(電子放出源)が形成された背面パネル101 とがシール材等により気密に封止され、所定の真空度に保持される。

【0014】蛍光面パネル114 と背面パネル101 とは、その間隔を一定に保持するために所定の高さの柱(いわゆるピラー)110 を介して封止される。

【0015】このFEDによりカラー表示を行う方法としては、選択された交差部122 の各カソードと一色の蛍光体とを対応させる方法と、各カソードと複数の色の蛍光体とを対応させるいわゆる色選別方法がある。この場合の色選別の動作を図14及び図15を用いて説明する。

【0016】図14において、蛍光面パネル114 の内面の複数のストライプ状の透明電極100上には各色に対応するR、G、Bの蛍光体が順次配列されて形成され、各色の電極はそれぞれ赤色は3R、緑色は3G、青色は3Bの端子に集約されて導出されている。

【0017】対向する背面パネル101 上には、上記したようにカソード電極103 及びゲート電極104 が直交してストライプ状に設けられ、マイクロチップ先端に $10^4 \sim 10^5$  V/mの電界がかかるようにカソード電極103 -ゲート電極104 間に電圧を印加すると、各電極の交差部122 に形成されたマイクロチップ(電界放出型カソード)106 から電子が放出される。

【0018】一方、透明電極100(即ち、アノード電極)とカソード電極103 との間には100~1000Vの電圧を印加して、電子を加速し、蛍光体を発光させる。図18の例においては、赤色蛍光体Rにのみ電圧を印加して、電子を矢印eで示すように加速させた場合を示している。

【0019】このように、三端子化された各色R、G、Bを時系列で選択することによってカラー表示を行うことができる。各カソード電極列上のある一点のカソード、ゲート及びアノード(蛍光体ストライプ)のNTSC方式での色選別タイミングチャートを図19に示す。

【0020】各カソード電極103 を1Hの周期で順次駆動させるときに、各色蛍光体R、G、Bに対しそれぞれ周期HのうちH/3ずつ+hVの信号を与える一方、ゲート信号及びカソード信号をH/3周期でゲート信号として+ $\alpha$ V、カソード信号として- $\alpha$ V~- $\beta$ Vを同期してそれぞれ与え、ゲートカソード間電圧 $V_{gr} = +2\alpha$ Vのときに電子を放出して、H/3毎に選択されるR、G、Bの各蛍光体を発光させて色選別を行うことができ、これによりフルカラー表示を行うことができる。

【0021】しかしながら、本発明者が上記した電子放出源について検討を加えた結果、以下に述べるような欠点が存在することを突き止めた。

【0022】まず、図20に示すように、カソード電極103 上の微細孔120 内に配したマイクロチップ106 がほぼ絶縁層105 の厚みに亘ってほぼ円錐体に形成されているために、ゲート電極104 -カソード電極103 間に電圧を

印加した際に等電位面 $E_c$ はマイクロチップ106の円錐面に沿って微細孔120内に形成されることになる。

【0023】ところが、マイクロチップ106から放出される電子 $e$ は等電位面 $E_c$ と直交して進行するので、孔120から放出される電子 $e$ の進路は大きく振れ、その振れ角 $\theta$ は $\pm 30$ 度にもなってしまう。この結果、蛍光面では、電子ビーム $e$ が所定の蛍光体（例えば赤色蛍光体）に到達せず、不所望な蛍光体（例えば、隣接する緑色蛍光体）に到達し、ミスランディングを起こし易くなる。これでは、目的とする色の発光が得られず、ディスプレイの性能が損なわれ、その精細化において問題となる。

【0024】しかも、上記した電子放出源においては、各マイクロチップ106から放出される電子の量（即ち、電流量）がばらつき、不均質なものとなり易い。このため、このようなディスプレイ装置はスクリーン上に生じる光輝点が不均質となり、非常に目障りなものとなる。

【0025】また、上記した電子放出源は、金属粒子等により、マイクロチップ106とゲート電極ライン104とが接続されてカソード電極ライン103とゲート電極ライン104とが短絡し、マイクロチップ106が破壊される場合があることが分かった。これに加えて、ゲート電極ライン104と蛍光面114との間の高真空領域130に存在するイオンがマイクロチップ106をスパッタし、ディスプレイとしての寿命を縮めることもある。

【0026】上記の短絡によるマイクロチップ106の破壊について、図21～図25に示す製造工程で説明すると、まず図21に示すように、ガラス等からなる下部基板101上にニオブ等を材料として厚さ約2000Å程度の導体膜を成膜し、その後、写真製版法及び反応性イオンエッチング法により、この導体膜をライン形状にパターニングしてカソード電極103とする。

【0027】そして、絶縁層105（例えば、二酸化珪素）をスパッタリング又は化学蒸着法により上記導体膜上に成膜し、この絶縁層105上にゲート電極材料（例えば、ニオブ）を成膜し、その後、写真製版法及び反応性イオンエッチング法によりこの導体膜をカソード電極ライン103と交差するようなゲート電極ライン104に加工する。しかる後、ゲート電極ライン104及び絶縁層105を貫通する円形の微細孔120を写真製版法及び反応性イオンエッチング法により形成する。

【0028】その後、図22に示すように、剥離層124（例えば、アルミニウム）を電子放出源の主面部に対して斜め方向から真空蒸着により成膜する。

【0029】そして、図23に示すように、微細孔120中のカソード電極103上にモリブデンを円錐形に蒸着法により堆積させ、マイクロチップ106を形成する。このとき、剥離層124上にモリブデン106が堆積するが、この堆積の進行に伴って孔120の上方が堆積モリブデンにより徐々に閉じられ、これと同時にマイクロチップ106が円錐状に堆積する。

【0030】次いで、図25に示すように剥離層124を溶解することにより、剥離層124上のモリブデン106を剥離し、除去（リフトオフ）し、図17に示した如き構造を作製する。

【0031】しかし、このリフトオフ時等に生じた金属片125等がマイクロチップ106とゲート電極ライン104との間に付着し、これらを短絡する。このため、作動時にカソード103－ゲート104間に電圧を印加し、この電圧を上げていった場合に、マイクロチップ106は非常に高温になり、ついには耐えきれないほどの温度となる。

【0032】この結果、図25に示すように、マイクロチップ106自体と、その周りの半径数十 $\mu\text{m}$ に亘る領域のゲート104やカソード103までも矢印126のように溶断され、破壊を生じてしまう。これでは、かなりの領域が動作しなくなり、有効な領域が減少してしまう。

【0033】

【発明が解決しようとする課題】本発明の目的は、上記したような従来技術の欠点を解決し、電子等の放出能力とその方向性を良好とし、低電圧駆動を可能にして、放出される電流量の均質化を図り、しかも、高信頼性、長寿命であり、高精細、大型の極薄型ディスプレイ装置にも十分対応可能であり、製造が容易な粒子放出装置、電界放出型装置及びこれらの製造方法を提供することにある。

【0034】

【課題を解決するための手段】即ち、本発明は、互いに部分的に重なり合うように第1の電極（例えば、後述のカソード電極13）と第2の電極（例えば、後述のゲート電極14）とが絶縁層（例えば、後述の $\text{SiO}_2$ 層15）を介し互いに対向して設けられ、前記第2の電極及び前記絶縁層をそれぞれ貫通する微小孔（例えば、後述のほぼ円形又はスリット状の微細孔又はカソードホール20）が形成され、前記第1の電極と前記第2の電極との間に電圧を印加することによって所定の粒子（特に電子）が前記微小孔を通して放出されるように構成されている粒子放出装置（例えば、電界放出型カソード）において、前記第1の電極の構成材料よりも仕事関数が小さい粒子放出物質からなる薄膜（例えば、後述のダイヤモンド薄膜16）が、少なくとも、前記第1及び第2の電極の重なり合う領域のほぼ全域に亘って設けられかつ前記微小孔内に部分的に露出するように設けられていることを特徴とする粒子放出装置に係るものである。

【0035】本発明による粒子放出装置は、電子の如きエネルギー粒子を放出するための微小孔内において、第1の電極と接して仕事関数の小さい粒子放出物質を薄膜に設けているので、第1の電極と第2の電極との間に電圧を印加した際に等電位面が上記薄膜に沿って平坦に形成されることになる。従って、この平坦な等電位面に対して直交して進行する粒子は、上記微小孔から対象物（例えば蛍光体面）へかなり揃った方向性を以て進行す



るため、常に目的とする対象物に到達することができ、ミスランディングを大きく減少させることができ、高精細化が可能となる。

【0036】また、上記薄膜を構成する粒子放出物質の仕事関数が第1の電極の構成材料よりも小さいので、粒子の放出のために第1の電極と第2の電極との間に印加する電圧を低減することができ、低電圧駆動に必要な放出量を安定して得ることができる。

【0037】また、粒子を放出する部分を上記の薄膜とし、この薄膜を少なくとも第1及び第2の電極の重なり合う領域のほぼ全域に亘って設けているので、この薄膜は、既述したようなマイクロホール120の形成後の蒸着によらずに、予め成膜した後に絶縁層の形成→第2の電極及び微小孔の形成といった工程を経ることができる。従って、この薄膜は容易に形成できる上に、既述したような蒸着後のリフトオフは全く不要となり、薄膜と第2の電極との間の金属片の付着による短絡が生じることがなく、しかも、たとえ別の原因で金属片が生じても薄膜と第2の電極とは十分に離れているために、やはり短絡は生じない。この結果、印加電圧を上昇させた場合に電極が溶断されることはなく、信頼性の良い動作を行わせることができる。

【0038】更に、粒子を放出する部分が上記薄膜であるため、マイクロチップ先端のように1点にイオンが集中することがなく、高真空領域に存在するイオンが薄膜に到達してこれをスパッタする割合が激減するから、装置の長寿命化が可能である。

【0039】本発明による粒子放出装置においては、少なくとも、第1及び第2の電極の重なり合う領域において、粒子放出物質からなる薄膜が第1の電極を被覆して、この場合、粒子放出物質からなる薄膜を第1の電極と絶縁層との間に設けることができる。

【0040】そして、少なくとも、第1及び第2の電極の重なり合う領域であって微小孔の存在しない領域において、前記第1の電極が設けられてよい。この場合、第1の電極が粒子放出物質からなる薄膜の少なくとも一部分を被覆してよく、第1の電極を粒子放出物質からなる薄膜と絶縁層との間に設けることができる。また、第1の電極は微小孔の存在領域の周囲に格子状パターンに形成できる。

【0041】本発明による粒子放出装置は、具体的には、互いに交差する（交差領域は画素領域となる）カソード電極ラインとゲート電極ラインとが絶縁層を介して基体上に積層され、前記ゲート電極ライン及び前記絶縁層をそれぞれ貫通する微小孔が形成されていると共に、前記カソード電極ラインの構成材料よりも仕事関数が小さい電子放出物質からなる薄膜状の冷陰極が、前記カソード電極ラインと接した状態で、少なくとも、前記カソード電極ラインと前記ゲート電極ラインとの交差領域のほぼ全域に亘って設けられ、電子放出源として構成され

ているのが望ましい。

【0042】また、上記した粒子放出物質からなる薄膜が、絶縁層の2分の1以下の厚みに設けられているのがよく、例えば、絶縁層が1 $\mu$ m厚であれば、薄膜は5000Å以下の厚みを有している。この薄膜の厚みは、上記した本発明の作用効果を有効に発揮できるように設定するのがよく、また、成膜時の蒸着量等によって制御可能である。

【0043】上記した粒子放出物質の仕事関数は、第1の電極の構成材料の仕事関数よりも小さいことが必須不可欠であり、3.0eV以下であることが望ましく、2.0eV以下が更によい。これは、両電極（第1の電極及び第2の電極）間の印加電圧を低くし、特に数10Vでも必要な電流量を得、例えばディスプレイ用として十分に動作可能となるからである。なお、第1の電極の構成材料としては、Nb（仕事関数4.02~4.87eV）、Mo（仕事関数4.53~4.95eV）、Cr（仕事関数4.5eV）等が挙げられる。

【0044】こうした粒子放出物質としては、ダイヤモンド（特にアモルファスダイヤモンド：仕事関数1.0eV以下）がよい。薄膜がアモルファスダイヤモンド薄膜である場合には、 $5 \times 10^7$  V/m以下の電界の強さでディスプレイとして必要な電流量を得ることができるので、一層の低電圧駆動が可能となる。

【0045】また、こうしたアモルファスダイヤモンド薄膜は電気的に抵抗体であるから、各微小孔内の薄膜から放出される電流量の均質化を図ることができる。そして、アモルファスダイヤモンド薄膜は化学的に不活性であり、イオンによりスパッタリングされにくいので、安定なエミッションを長い時間維持できる。

【0046】ダイヤモンド以外に使用可能な粒子放出物質としては、LaB<sub>6</sub>（仕事関数2.66~2.76eV）、BaO（仕事関数1.6~2.7eV）、SrO（仕事関数1.25~1.6eV）、Y<sub>2</sub>O<sub>3</sub>（仕事関数2.0eV）、CaO（仕事関数1.6~1.86eV）、BaS（仕事関数2.05eV）、TiN（仕事関数2.92eV）、ZrN（仕事関数2.92eV）等が挙げられる。

【0047】こうした粒子放出物質は、既述したマイクロチップ106の構成材料であるモリブデン（仕事関数4.6eV）等に比べて仕事関数がかかなり小さいことが特徴的である。なお、この仕事関数は3.0eV以下とするのが望ましいが、これは両電極間の印加電圧との相関性で決めることができ、仕事関数が小さめである場合は印加電圧を低くでき（例えば、仕事関数を2.0eV以下とすれば印加電圧は100V以下にでき）、或いは仕事関数が大きめである場合は印加電圧を高くすればよい。

【0048】本発明はまた、上記した電界放出型カソード等の電子放出源の如き粒子放出装置を具備する電界放出型装置、例えば、そうした粒子放出装置と、上記した蛍光面パネルの如く粒子が入射する発光用等の装置との

組み合わせで構成される電界放出型装置も提供するものである。また、放出される粒子は通常は電子であるが、必ずしも電子に限られるものではなく、他の素粒子も対象としてよい。

【0049】こうした電界放出型装置としては、カソード電極ライン、ゲート電極ライン、微小孔付きの絶縁層及び薄膜状の冷陰極からなる第1のパネルと、複数色の発光体及びこれらの発光体がそれぞれ被着された電極からなる第2のパネルとによって構成された電界放出型発光装置が挙げられる。この場合、発光体が蛍光体である電界放出型ディスプレイ装置(FED)として構成することができる。

【0050】本発明による粒子放出装置及び電界放出型装置は、基体(例えば、後述のガラス基板11)上に第1の電極(例えば、後述のカソード電極13)を形成する工程と、前記基体上に粒子放出物質(例えば、ダイヤモンド)からなる薄膜を形成する工程と、前記第1の電極及び前記薄膜を含む領域上に絶縁層(例えば、後述のSiO<sub>2</sub>層15)を形成する工程と、この絶縁層上に第2の電極(例えば、後述のゲート電極14)を形成する工程と、この第2の電極及び前記絶縁層をそれぞれ貫通する微小孔(例えば、後述のほぼ円形又はスリット状の微細孔又はカソードホール20)を形成する工程とを有する方法を経て製造するのが望ましい。

【0051】この製造方法によれば、粒子放出物質の薄膜を成膜するに際し、その薄膜の厚み分(望ましくは、絶縁層の厚みの1/2以下)だけ堆積させればよいので、既述したマイクロチップのように高さや形状を高精度にして形成する必要はなく、また、絶縁層の形成前に予め成膜しておけるため、薄膜の形成が容易となり、既述したリフトオフは全く不要であってカソード-ゲート間が金属片で短絡することなく、仮に金属片が生じても薄膜が薄いために金属片による短絡はやはり生じない。

【0052】

【実施例】以下、本発明の実施例を説明する。

【0053】図1～図7は、本発明を電子放出源(電界放出型カソードを含む電極構体)及び極薄型のディスプレイ装置(FED)に適用した第1の実施例を示すものである。

【0054】本実施例によるディスプレイ装置は、図15に示したものと同様に、図1に示す電子放出源(電界放出型カソードを含む電極構体25)と、真空部を介して電子放出源に対向したアノードとなる蛍光面パネルとの組み合わせによって構成され、既述したようにしてディスプレイ動作を行うものである。

【0055】電子放出源においては、その要部を縦断面で表す図1(更には、画素領域を平面的に表す図2)に示すように、例えばガラス材からなる下部基板11の表面上に帯状の複数本のカソード電極ライン13が形成されて

いる。

【0056】これらのカソード電極ライン13上には、各接続端部13aを除いて冷陰極薄膜16が成膜され、その上に絶縁層15と各カソード電極ライン13に対し領域22で交差した帯状の複数本のゲート電極ライン14とが形成され、これらのゲート電極ラインは各カソード電極ライン13と共にマトリクス構造を構成している。

【0057】さらに、各カソード電極ライン13の接続端部13a及び各ゲート電極ライン14の接続端部14aが制御手段(図17の107と同様のもの)にそれぞれ接続され、電氣的に導通している。

【0058】ここで、絶縁層15にはカソード電極ライン13から冷陰極薄膜16に達する孔径wの多数の円形の微細(小)孔20がカソードホールとして形成され、これらの各孔内に部分的に露出するように電界放出型カソードとしての薄膜16が5000Å以下(例えば2000Å)の厚みに設けられている。

【0059】これらの各薄膜16は、仕事関数がカソード電極ライン13よりも小さい電子放出材料、例えばアモルファスダイヤモンドの薄膜からなっており、後述の方法によって、微細孔16内に部分的に露出するようにカソード電極ライン13の全域上にほぼ同一パターンに(接続端部13aを除いて)或いは上記交差領域22を含めてカソード電極ライン13を被覆するようにして、容易に成膜できる。

【0060】なお、蛍光面パネル側の基板は、その一主面である下面部において上記真空部を介して上記電子放出源の主面部と対向して設けられている。この上部基板の下面部には、蛍光面が塗布され、各カソード電極ライン13とそれぞれ平行な帯状の蛍光面が形成されている。

【0061】上記電子放出源においては、上記制御手段により所定のカソード電極ライン13及びゲート電極ライン14を選択し、これらの間に所定の電圧を印加することによって、対応する画素領域内の各微細孔20内の薄膜16に所定の電界がかかると、各微細孔20内の薄膜16からトンネル効果によって電子が放出される。

【0062】このとき、上記電子放出源が内蔵されたディスプレイ装置において、所定の画素領域を励起することによって各微細孔20内の薄膜16から放出された電子が上記制御手段によりカソード電極ライン13とアノードである上部基板との間に印加された電圧によって更に加速され、ゲート電極ライン14と上記上部基板との間に形成された真空部30を通して蛍光面に到達する。そして、この電子線により蛍光面から可視光が放出される。

【0063】ここで、図3に示すように、カソード電極13上の微細孔20内に露出した薄膜16が非常に薄い膜厚に形成されていてその上面16Aがフラットであるために、ゲート電極14-カソード電極13間に電圧を印加した際に等電位面Eは薄膜16の面に沿ってほぼフラットに微細孔20内に形成されることになる。

【0064】従って、薄膜16から放出される電子eは等電位面E<sub>1</sub>と直交して進行するので、孔20から放出される電子eは進路があまり振れることなく、真空部(高真空領域)30を通して所定の螢光体(例えば赤色螢光体)に到達し、ミスランディングを起こすことはない。この結果、常に目的とする色の発光が得られ、ディスプレイの性能が向上し、高精細化が可能になる。

【0065】しかも、上記した電子放出源においては、ゲート電極ライン14及び絶縁層15を貫通する多数の円形の微細孔20内に薄膜16の微小冷陰極が露出して形成され、これがカソード電極ライン13と電気的に接続されている構成を有し、薄膜16がアモルファスダイヤモンド等の如く仕事関数がカソード電極13よりも小さい材料からなっているので、カソード電極13-ゲート電極14間に印加する電圧を低くしても(数10V以下でも)放出される電子の量(即ち、電流量)が安定して得られる。

【0066】この場合、カソード電極ライン13が冷陰極薄膜16の微小冷陰極に被覆され、ゲート電極ライン14及び絶縁層15を貫通する円形の微細孔20が形成されているが、薄膜16が特にアモルファスダイヤモンドである場合、冷陰極自体が抵抗体であるため、各微細孔20内の薄膜16から放出される電流量が均質化される。この結果、ディスプレイ装置のスクリーン上に生じる光輝点が均質となり、見栄えが非常に良好なものとなる。

【0067】更に、アモルファスダイヤモンド薄膜は化学的に不活性であり、真空部30に生じるイオンによってもスパッタリングされ難いので、安定なエミッションを長い時間維持できる。こうしたスパッタリングについては、薄膜16自体が薄くて微細孔20の底面に存在しているために、薄膜16はスパッタリングされ難い構造となっ

ている。【0068】更に、電子を放出する部分を上記の薄膜16としているので、この薄膜16とゲート電極14との間が十分離れており、これらの間に金属片が附着して短絡が生じることがない。しかも、後述の製造方法から明らかなように、薄膜16は既述したリフトオフではなく、予め基板11上に成膜しておけるから、リフトオフ時に生じる金属片の問題もなくなる。この結果、印加電圧を上昇させた場合に電極が溶断されることなく、信頼性の良い動作を行わせることができる。

【0069】次に、本実施例によるディスプレイ装置を構成する電子放出源(電界放出型カソードを含む電極構体25)の製造方法の一例を図4～図7について説明する。

【0070】まず、図4に示すように、ガラス等からなる下部基板11上にニオブ、モリブデン又はクロム等の導体材料を厚さ約2000Å程度に成膜し、その後、写真製版法及び反応性イオンエッチング法(例えばCl<sub>2</sub>とO<sub>2</sub>との混合ガス使用)によりこの導体膜をライン形状に加工し、カソード電極ライン13を形成する。

【0071】次いで、図5に示すように、冷陰極薄膜16、例えばダイヤモンド薄膜を化学蒸着法(CVD)等によりカソード電極ライン13上に厚さ2000Å程度に成膜する。このCVDで使用する反応ガスはCH<sub>4</sub>とH<sub>2</sub>との混合ガス、又はCOとH<sub>2</sub>との混合ガスであり、この反応ガスの熱分解によってダイヤモンド薄膜16を堆積させる。

【0072】その後、写真製版法及び反応性イオンエッチング法により、冷陰極薄膜16をパターニングし、カソード電極ライン13の接続端部13aを除いて冷陰極薄膜16がカソード電極ライン13を被覆するライン形状にする。或いは、この冷陰極薄膜16は、カソード電極ライン13とゲート電極ライン14との交差領域22、即ち画素領域のみにおいてカソード電極ライン13を被覆するように形成してもよい。

【0073】次いで、図6に示すように、絶縁層15、例えば二酸化珪素(SiO<sub>2</sub>)をスパッタリング又は化学蒸着法(CVD)により冷陰極薄膜16を含む面上に厚さ1μm程度に成膜し、更に、絶縁層15上にゲート電極材料14、例えばニオブ又はモリブデンを厚さ2000Å程度に成膜する。

【0074】次いで、図7に示すように、写真製版法及び反応性イオンエッチング法により、このゲート電極材料膜をカソード電極ライン13と交差するようなライン形状のゲート電極ライン14に加工する。そして、ゲート電極ライン14と絶縁層15を貫通する円形の微細孔20を写真製版法及び反応性イオンエッチング法(例えば、ClH<sub>3</sub>FとCH<sub>3</sub>Fとの混合ガス使用)により形成する(図中の30はフォトレジストマスクである)。

【0075】次いで、フォトレジスト30を除去し、図1に示した如く、カソード電極ライン13を被覆し、微細孔20内に露出した微小冷陰極16を有する電極構体25(電子放出源)を完成する。

【0076】このように、上記した製造方法によって、電子放出物質の薄膜16を成膜するに際し、その薄膜16の厚み分だけ堆積させればよいので、既述したマイクロチップのように高さや形状を高精度にして形成する必要はなく、また、絶縁層15の形成前に予め成膜しておくため、薄膜の形成が容易となり、既述したリフトオフは全く不要であってカソード-ゲート間が金属片で短絡することはない。仮に金属片が生じても薄膜が薄いためにカソード13-ゲート14間が十分離れており、これらの間に金属片が接触して短絡を生じることはない(但し、上記に例示したダイヤモンド等の仕事関数の小さい物質はいずれも絶縁体であって短絡を生じることはない)。この結果、カソード13-ゲート14間の印加電圧を上昇させた場合に電極が溶断されることなく、信頼性の良い動作を行わせることができる。

【0077】また、薄膜16は、既述したマイクロチップ106のように微細孔20内への蒸着によることなしに通

常の成膜技術で形成できるので、その工程が容易となり、カソード13-ゲート14間の絶縁分離も良好となる。

【0078】図8及び図9は、本発明の第2の実施例による電子放出源（電極構造25）を示すものである。

【0079】この第2の実施例による電子放出源は、上記の第1の実施例による電子放出源とほぼ同様の構成を有するが、カソード電極ライン13'が格子状構造であることが異なる。この格子のメッシュは任意の形にすることができるが、好ましくは長方形、もしくは正方形がよい。但し、ゲート電極ラインは図9では図示省略している。

【0080】この実施例による電子放出源においては、格子状構造を有するカソード電極ライン13'が微細孔20の存在領域31を囲むようにその周囲に設けられていて、冷陰極薄膜16によって被覆されている。この被覆によって、カソードの格子状パターンが保護される。ゲート電極ライン14及び絶縁層15を貫通して円形の微細孔20が形成されており、この微細孔20に薄膜16が露出している点は、上述したものと同様である。

【0081】冷陰極薄膜16によって、動作時に等電位面がフラットとなり、電子が安定して所定方向に放出されること、冷陰極薄膜16がアモルファスダイヤモンド薄膜である場合、低電圧駆動が可能であると共に、冷陰極薄膜自体が抵抗体であるために各微細孔20の冷陰極薄膜16から放出される電流量が均質化されること、また、アモルファスダイヤモンド薄膜は化学的に不活性であって、スパッタリングされにくく、安定なエミッションを長い時間維持できることは、上述した第1の実施例と同様である。

【0082】しかも、この実施例では、カソード電極ライン13'が格子状構造であるため、カソード導体13'と微細孔20との間に十分な距離をとることができ、仮に金属粒子等が微細孔20に入り込んでカソード電極ライン13'とゲート電極ライン14とが短絡したとしても、冷陰極薄膜16の抵抗破壊を防ぐことができる。これは、ゲート電極ライン14とカソード電極ライン13'との間に冷陰極薄膜16が十分な長さ分存在し、この薄膜部分による電圧降下が生じて電界が緩和されるからである。

【0083】図10及び図11は、本発明の第3の実施例による電子放出源（電極構造25）をそれぞれ示すものである。

【0084】この実施例による電子放出源は、上記した第2の実施例による電子放出源とほぼ同様のパターン構成を有するが、冷陰極薄膜16が基板11とカソード電極ライン13'との間に設けられている点で異なる。この格子のメッシュは任意の形にすることができるが、好ましくは長方形、もしくは正方形がよい。但し、ゲート電極ラインは図11では図示省略している。

【0085】即ち、この電子放出源によれば、格子状構造を有するカソード電極ライン13'と基板11との間に冷

陰極薄膜16が挿入され、微細孔20の存在領域31を囲むようにその周囲に設けられている。そして、ゲート電極ライン14及び絶縁層15を貫通して円形の微細孔20が形成されており、この微細孔20に薄膜16が露出している点は、上述したものと同様である。

【0086】冷陰極薄膜16によって、動作時に等電位面がフラットとなり、電子が安定して所定方向に放出されること、冷陰極薄膜16がアモルファスダイヤモンド薄膜である場合、低電圧駆動が可能であると共に、冷陰極薄膜自体が抵抗体であるために各微細孔20の冷陰極薄膜16から放出される電流量が均質化されること、また、アモルファスダイヤモンド薄膜は化学的に不活性であって、スパッタリングされにくく、安定なエミッションを長い時間維持できることは、上述した第1の実施例と同様である。

【0087】しかも、この実施例では、カソード電極ライン13'が格子状構造であるため、カソード導体13'と微細孔20との間に十分な距離をとることができ、仮に金属粒子等が微細孔20に入り込んでカソード電極ライン13'とゲート電極ライン14とが短絡したとしても、冷陰極薄膜16の抵抗破壊を防ぐことができる。これは、ゲート電極ライン14とカソード電極ライン13'との間に冷陰極薄膜16が十分な長さ分存在し、この薄膜部分による電圧降下が生じて電界が緩和されるからである。

【0088】図12は、本発明の第4の実施例による電子放出源（電極構造25）を示すものである。

【0089】この第4の実施例による電子放出源は、上記の第1の実施例による電子放出源とほぼ同様の構成を有するが、ゲート電極ライン14及び絶縁層15を貫通する円形の微細孔20がスリット（溝）状の微細孔で形成されている点で異なる。

【0090】即ち、カソード電極ライン13が冷陰極薄膜16の微小冷陰極に被覆され、ゲート電極ライン14及び絶縁層15を貫通するスリット（溝）状の微細孔20内に薄膜16が露出している。

【0091】この冷陰極薄膜16がアモルファスダイヤモンドからなる場合、上述したように低電圧駆動が可能である。また、冷陰極自体が抵抗体であるから、各微細孔20の冷陰極薄膜16から放出される電流量が均質化される。更に、アモルファスダイヤモンド薄膜16は化学的に不活性であり、スパッタリングされにくいので、安定なエミッションを長い時間維持できる。

【0092】本実施例では、微細孔20がスリット状であるが、微小冷陰極の薄膜16の表面での電界強度は上述した第1の実施例による円形の微細孔の場合とほとんど等しいので、ほぼ同一電圧で駆動できる。このスリット状の微細孔20は、円形の微細孔の場合と比較して、エミッション領域（電子放出面積）が大きいので、同一電圧で駆動しても、より大きな電流密度を得ることができる。

【0093】図13は、本発明の第5の実施例による電子

放出源（電極構体25）を示すものである。

【0094】この第5の実施例による電子放出源は、上記の第2の実施例による電子放出源とほぼ同様の構成を有するが、カソード電極ライン13'が格子状構造であってゲート電極ライン14及び絶縁層15を貫通するスリット（溝）状の微細孔20が形成されている点で異なる。

【0095】従って、この実施例によって、上記した第2の実施例で述べたと同様の効果と、上記した第4の実施例で述べたスリット状微細孔20による効果とを併せて得ることができる。

【0096】図14は、本発明の第6の実施例による電子放出源（電極構体25）を示すものである。

【0097】この第6の実施例による電子放出源は、上記の第3の実施例による電子放出源とほぼ同様の構成を有するが、カソード電極ライン13'が格子状構造であってゲート電極ライン14及び絶縁層15を貫通するスリット（溝）状の微細孔20が形成されている点で異なる。

【0098】従って、この実施例によって、上記した第3の実施例で述べたと同様の効果と、上記した第4の実施例で述べたスリット状微細孔20による効果とを併せて得ることができる。

【0099】以上、本発明の実施例を説明したが、上述の実施例は本発明の技術的思想に基づいて更に変形が可能である。

【0100】例えば、上述した冷陰極薄膜16の形成領域は、カソード電極ラインとゲート電極ラインとの交差領域のみであってよいし、上述の例のようにほぼカソード電極ラインと同一パターンに設けてもよい。これ以外の領域にも薄膜16が存在していてもよく、場合によっては基板11の全面にあってもよい。

【0101】薄膜16、カソード電極13、13'等の材質や厚み、その成膜方法等は種々変化させてよい。成膜方法には、上述したCVDだけでなく、レーザアブレーション法（レーザ光照射によるエッチング現象を利用した堆積法：ダイヤモンド薄膜の場合はターゲットはグラファイトが使用可能）、スパッタ法（例えばArガスをを用いたスパッタリング：ダイヤモンド薄膜の場合はターゲットはグラファイトが使用可能）等がある。

【0102】また、上述した電子放出源は、FEDに好適であるが、対向する蛍光面パネルの構造や各部のパターン及び材質等は上述したものに限られず、また、その作製方法も種々採用できる。

【0103】なお、上述した電子放出源の用途は、FED又はそれ以外のディスプレイ装置に限定されることはなく、真空管（即ち、カソードから放出される電子流をゲート電極（グリッド）によって制御し、増幅又は整流する電子管）に使用したり、或いは、カソードから放出される電子を信号電流として取り出すための回路素子（これには、上述したFEDの蛍光面パネルに光電変換素子を取付け、蛍光面パネルの発光パターンを光電変換

素子で電気信号に変換する光通信用の素子も含まれる。）等にも応用可能である。

【0104】

【発明の作用効果】本発明によれば、上述した如く、互いに部分的に重なり合うように第1の電極と第2の電極とが絶縁層を介し互いに対向して設けられ、前記第2の電極及び前記絶縁層をそれぞれ貫通する微小孔が形成され、前記第1の電極と前記第2の電極との間に電圧を印加することによって所定の粒子が前記第1の電極側から前記微小孔を通して放出されるように構成されている粒子放出装置において、前記第1の電極の構成材料よりも仕事関数が小さい粒子放出物質からなる薄膜が、少なくとも、前記第1及び第2の電極の重なり合う領域のほぼ全域に亘って設けられかつ前記微小孔内に部分的に露出するように設けられているので、前記第1の電極と前記第2の電極との間に電圧を印加した際に等電位面が前記薄膜に沿って平坦に形成されることになる。従って、この平坦な等電位面に対して直交して進行する粒子は、前記微小孔から対象物（例えば蛍光体面）へかなり揃った方向性を以て進行するため、常に目的とする対象物に到達することができ、ミスランディングを大きく減少させることができ、高精細化が可能となる。

【0105】また、前記薄膜を構成する粒子放出物質の仕事関数が前記第1の電極の構成材料よりも小さいので、粒子の放出のために前記第1の電極と前記第2の電極との間に印加する電圧を低減することができ、低電圧駆動で必要な放出量を安定して得ることができる。この場合、前記微小孔の薄膜が抵抗体であると、微小孔内の薄膜から放出される粒子量を均質化できる。

【0106】また、粒子を放出する部分を上記の薄膜とし、この薄膜を少なくとも第1及び第2の電極の重なり合う領域のほぼ全域に亘って設けているので、この薄膜は、既述したようにマイクロホール120の形成後の蒸着によらずに、予め成膜した後に絶縁層の形成→第2の電極及び微小孔の形成といった工程を経ることができる。従って、この薄膜は容易に形成できる上に、既述したような蒸着後のリフトオフは全く不要となり、薄膜と第2の電極との間の金属片の付着による短絡が生じることがなく、しかも、たとえ別の原因で金属片が生じても薄膜と第2の電極とは十分に離れているために、やはり短絡は生じない。この結果、印加電圧を上昇させた場合に電極が溶断されることはなく、信頼性の良い動作を行わせることができる。

【0107】更に、粒子を放出する部分が前記薄膜であるため、マイクロチップ先端のように1点にイオンが集中することはなく、高真空領域に存在するイオンが薄膜に到達してこれをスパッタする割合が激減するから、装置の長寿命化が可能である。この場合、微小孔の薄膜は化学的に不活性であってスパッタリングされにくい材質で形成すれば、一層安定なエミッションを長い時間維持

できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例による電子放出源の概略断面図である。

【図2】同電子放出源の一部分の拡大平面図である。

【図3】同電子放出源の電子放出性能を説明するための概略断面斜視図である。

【図4】同電子放出源の製造工程の一段階を示す概略断面図である。

【図5】同電子放出源の製造工程の他の一段階を示す概略断面図である。

【図6】同電子放出源の製造工程の他の一段階を示す概略断面図である。

【図7】同電子放出源の製造工程の更に他の一段階を示す概略断面図である。

【図8】本発明の第2の実施例による電子放出源の概略断面図である。

【図9】同電子放出源の一部分の平面図である。

【図10】本発明の第3の実施例による電子放出源の概略断面図である。

【図11】同電子放出源の一部分の平面図である。

【図12】本発明の第4の実施例による電子放出源の一部分の平面図である。

【図13】本発明の第5の実施例による電子放出源の一部分の平面図である。

【図14】本発明の第6の実施例による電子放出源の一部分の平面図である。

【図15】従来の電子放出源を適用したディスプレイ装置の一部分の分解断面斜視図である。

【図16】同電子放出源の一部分の拡大断面斜視図である。

【図17】同電子放出源の概略断面図である。

【図18】同ディスプレイ装置におけるR、G、B三端子の切り換えによる色選別を説明するための一部分の概略断面図である。

【図19】同色選別時のタイミングチャートである。

【図20】同電子放出源の電子放出性能を説明するための概略断面斜視図である。

【図21】同電子放出源の製造工程の一段階を示す概略断面図である。

【図22】同電子放出源の製造工程の他の一段階を示す概略断面図である。

【図23】同電子放出源の製造工程の他の一段階を示す概略断面図である。

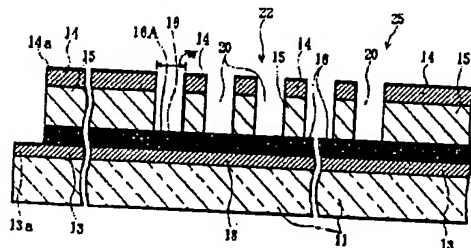
【図24】同電子放出源の製造工程の更に他の一段階を示す概略断面図である。

【図25】同電子放出源の製造工程において溶断が生じる状況を示す概略断面図である。

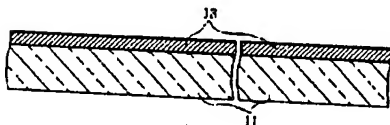
【符号の説明】

- 11・・・下部基板
- 13、13'・・・カソード電極ライン
- 14・・・ゲート電極ライン
- 15・・・絶縁層
- 16・・・薄膜
- 20・・・微細孔（カソードホール）
- 22・・・交差領域
- 25・・・電子放出源（電極構体）
- 30・・・真空部
- c・・・電子
- E<sub>a</sub>・・・等電位面
- R、G、B・・・各色の蛍光体

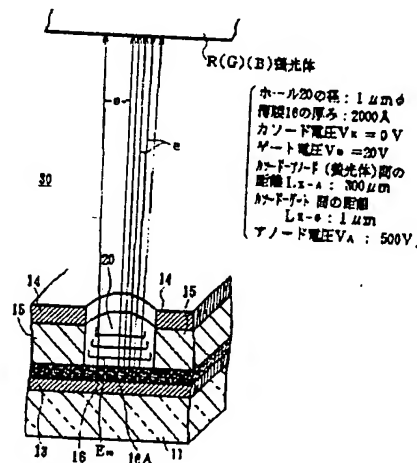
【図1】



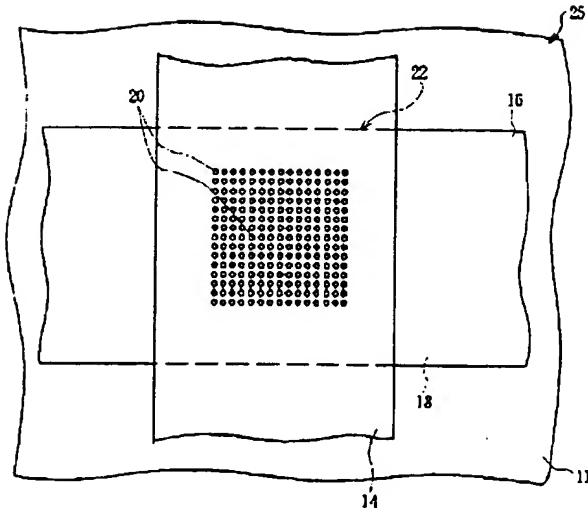
【図4】



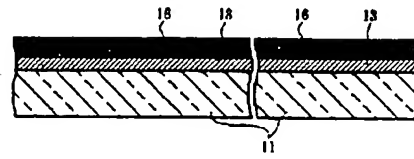
【図3】



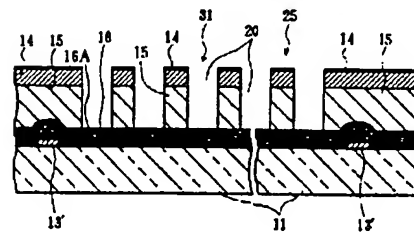
【図2】



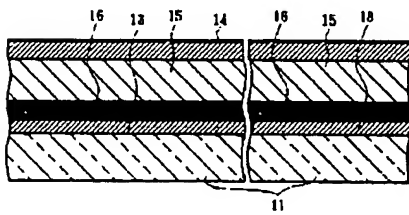
【図5】



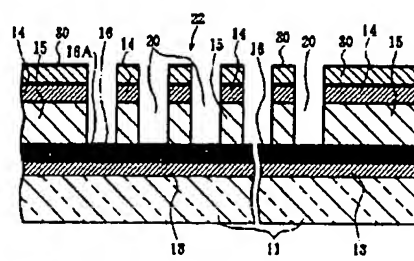
【図8】



【図6】

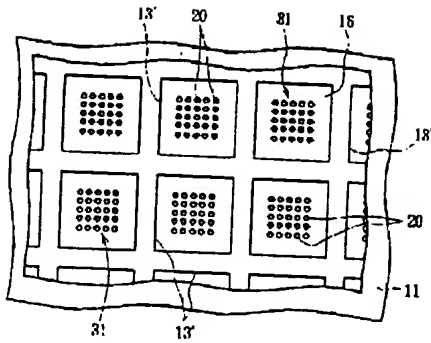


【図7】

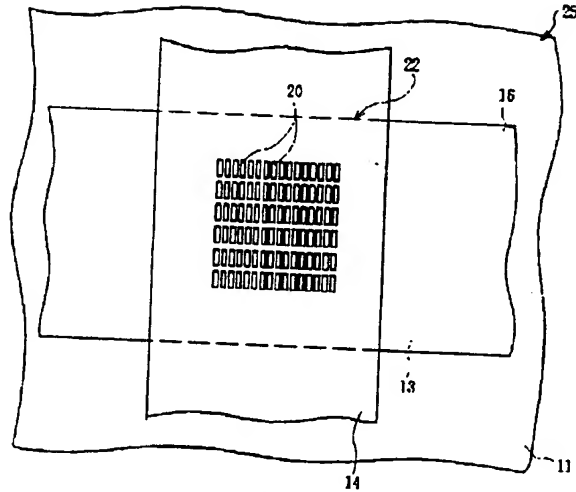




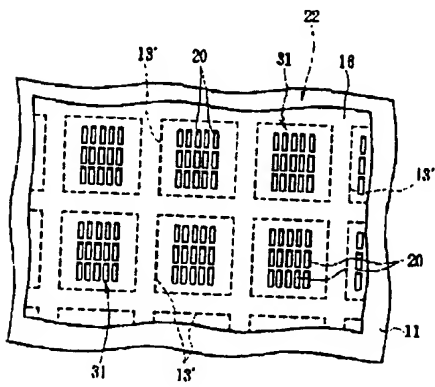
【図11】



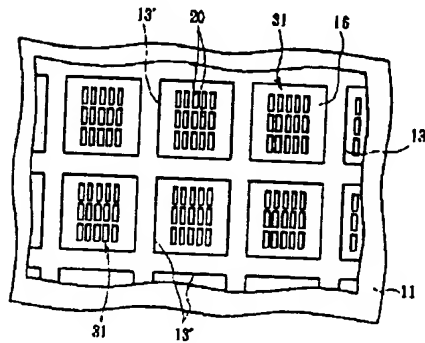
【図12】



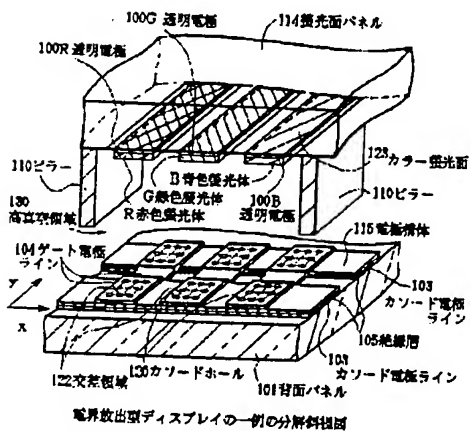
【図13】



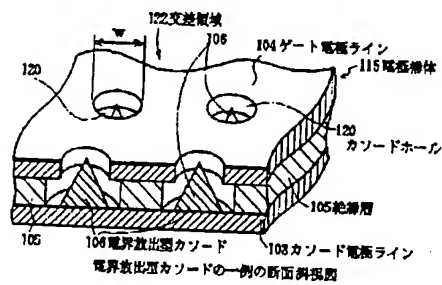
【図14】



【図15】

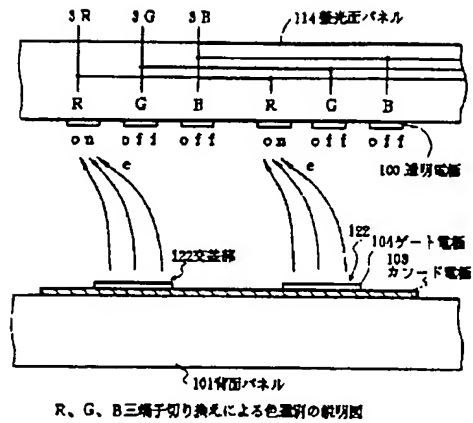


【図16】

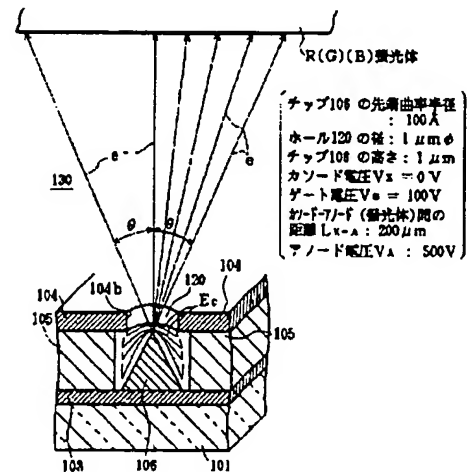




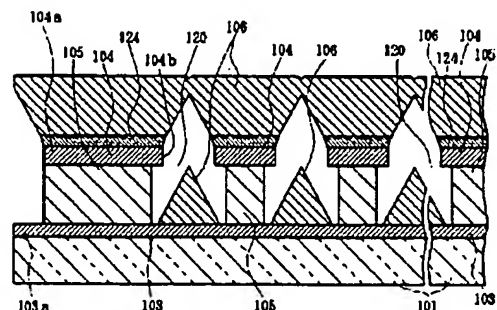
【圖 18】



R、G、B三端子切り換えによる色選別の説明図



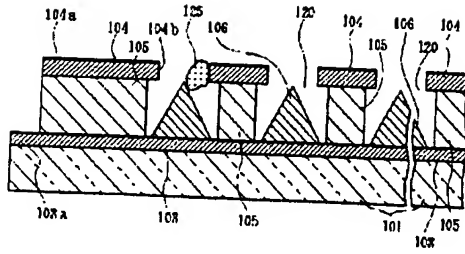
【图 2 3】



(14)

特開平8-96703

【図24】



【図25】

